

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 57-133656

(43)Date of publication of application : 18.08.1982

(51)Int.Cl.

H01L 27/00
G01R 31/26
H01L 21/66

(21)Application number : 56-019219

(71)Applicant : NEC CORP

(22)Date of filing : 12.02.1981

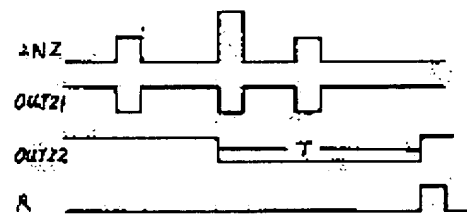
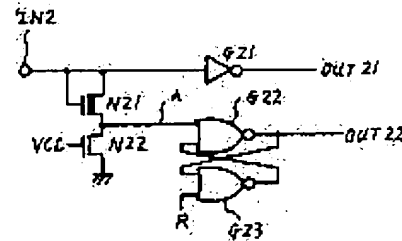
(72)Inventor : TOYOFUKU TAKASHI
KOSAKA HIDETOSHI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT INCORPORATED WITH TEST CIRCUIT

(57)Abstract:

PURPOSE: To reduce the number of pins while increasing circuits which can be mounted to the inside by mounting a circuit latching the output of an input level detecting circuit to a multifunctional input terminal and using the output of the latch circuit as signals for testing the inside.

CONSTITUTION: The multifunctional input terminal IN2 is connected to the input level detecting circuit consisting of E/DMOS elements N21, N22 and a circuit G21 for a function. The output of the level detecting circuit is connected to the set input of the flip-flop type latch circuit formed by NAND gates G22, G23, and signals activating a test circuit are outputted to a terminal OUT22 from the latch circuit. When voltage exceeding VCC is applied to the IN2, the latch circuit is set, and the OUT22 is at a low level, and thereafter continues a test mode condition until reset signals R are inputted. On the other hand, output signals corresponding to input are outputted to the OUT21 even at the time of a test mode. Accordingly, the number of the pins can be reduced and the mounting density of the internal circuits can be increased because a fixed level need not be inputted to the input terminal at all times when the test mode.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑬ 日本国特許庁 (JP)

⑭ 特許出願公開

⑫ 公開特許公報 (A)

昭57-133656

⑮ Int. Cl.³
H 01 L 27/00
G 01 R 31/26
H 01 L 21/66

識別記号

庁内整理番号
6426-5F
7359-2G
6851-5F

⑯ 公開 昭和57年(1982)8月18日

発明の数 1
審査請求 未請求

(全 3 頁)

⑭ テスト回路内蔵型半導体集積回路

⑰ 発明者 小坂秀敏

東京都港区芝五丁目33番1号日
本電気株式会社内

⑰ 特 願 昭56-19219

⑱ 出 願 昭56(1981)2月12日

⑱ 出 願 人 日本電気株式会社

⑲ 発明者 豊福隆

東京都港区芝5丁目33番1号

東京都港区芝五丁目33番1号日
本電気株式会社内

⑳ 代理人 弁理士 内原晋

明 細 書

1. 発明の名称

テスト回路内蔵型半導体集積回路

2. 特許請求の範囲

回路機能を評価するためのテスト回路を内蔵してなるテスト回路内蔵型半導体集積回路において、多機能入力端子に設けられた入力レベル検出回路の出力をラッチする回路を有し、このラッチ回路の出力を内部のテスト用信号とすることを特徴とするテスト回路内蔵型半導体集積回路。

3. 発明の詳細な説明

本発明は半導体集積回路に関し特に、入力端子に印加される入力電圧によって、内蔵されている回路機能評価用テスト回路をアクティブにして特性評価・チェックを行うテスト回路内蔵型半導体集積回路に関する。

内部にテスト回路を持つ半導体集積回路におい

て、テスト回路をアクティブにする方法として、テスト用の専用入力端子を設け、その入力電圧を判断して、テストする方法と、ある入力端子の機能にテスト回路をアクティブにするための機能を付加(多機能入力端子)して、その入力電圧によって、テストする方法があったが、これらの方法では、テストモードを保つために、一定レベルの入力電圧をテストモード期間中、常に加えていることが必要であった。

第1図に、多機能入力端子の場合における従来方法の一例を示す。入力端子IN1に印加する電圧振幅が0Vと電源電圧Vcc以内であると、インバータG11の閾値は0~Vccの範囲内の所定値に設定されているので出力OUT1は、入力端子IN1に対する動作を行ない、又、A点の電位はインバータG12に対し常に「低」レベルとなるように設定されているので、テストモード用出力OUT12は常時「高」レベルになり、テスト回路はアクティブになっていない。入力端子IN1に印加する電圧として電源電圧Vccを越えた電圧

を加えると、 V_{cc} を越えた電圧が印加されている期間中はA点の電位はインバータG12に対し「高」レベルとなり、出力OUT11、OUT12は「低」レベルを出力し、テストモード用出力はアクティブとなる。この場合、テストモード期間中は、入力端子IN1に電源電圧 V_{cc} を越える電圧を入力し続けなくてはならない。

第3図に以上の動作を説明するタイミングチャートを示す。なお、N11はNチャネルディプレッション型MOSトランジスタ、N12はNチャネルエンハンスメント型MOSトランジスタである。

本発明の目的は、前記の従来技術で示したようなテストモード期間中は一定レベル入力を入力し続けなければならない欠点をなくす事と同時に、テストモード中でも信号を入力できる多機能入力端子を備えたテスト回路内蔵型半導体集積回路を提供することである。

第2図は本発明の一実施例を示す回路接続図である。多機能入力端子IN2は、テスト回路を、

レベルになり、G22、G23で構成されたラッチ回路をセットし、OUT22は「低」レベルとなり、この信号を用いて、内部のテスト用信号とすれば以後テストモード状態となる。またこの時IN2に印加される入力レベルが0から電源電圧(V_{cc})以内になると、OUT22は「低」レベル(テストモード)のままで、OUT21には、この入力に対応した論理回路の出力(OUT21)を得ることが出来る。

なお、RはG22、G23で構成されているラッチ回路のリセット信号であり、これは、テストモードを解除するための信号か、あるいはLSIのリセット入力信号等を使用することができる。

第4図に以上説明した第2図の回路動作を示すタイミングチャートを示す。

なお、N21はNチャネルディプレッション型MOSトランジスタ、N22はNチャネルエンハンスメント型MOSトランジスタである。

第5図は本発明の他の実施例を示す回路接続図で、CMOS回路に適用した例である。N51は

アクティブにする機能と、その他の機能を有しており、多機能入力端子には、ディプレッション型MOSN21とエンハンスメント型MOSN22からなる入力レベル検出回路及びファンクション機能用の回路G21(論理素子)が接続され、入力レベル検出回路の出力は、ラッチ回路のセット入力に接続されており、このラッチ回路の出力はテスト用回路をアクティブにするための信号である。

次にこの回路の動作について説明すると、多機能入力端子IN2に印加する電圧レベルが0から電源電圧 V_{cc} 以内の電圧の場合には、出力OUT21には、IN2が論理回路G21を通り出力されており、この信号は、LSIの何らかの機能を行わせるために使用される。入力レベル検出回路の出力Aは「低」レベルであるからラッチ回路の出力OUT22は「高」レベルとなっている。次にこのLSIをテストモードにする場合に、IN2に電源電圧 V_{cc} を越えた入力電圧を加えれば、N21、N22で構成されたレベル検出回路の出力Aは「高」

Pチャネルエンハンスメント型MOSトランジスタ、N52はNチャネルエンハンスメント型MOSトランジスタである。多機能入力端子IN5に0から V_{cc} 以内の電圧が加えられているときには、出力OUT51には、入力信号はG51を通り出力され、レベル検出回路の出力Aは「低」レベルとなっていることは第2図の場合と同様である。テストモードに設定するにはIN5に負電圧を加え、レベル検出回路の出力Aを「高」レベルにすればよい。

以上詳細に説明したように、本発明によれば、テスト回路を内蔵する半導体集積回路に、テスト用入力端子を増設したり、多機能入力端子にテストモード時、常時一定レベルを入力させなくても良いため、半導体集積回路のピン数の削減ができるほかテストモード時でも多機能入力端子から信号を入力することができるため、半導体集積回路内部に従来以上の回路を実装することができるという極めて大きな効果がある。

4. 図面の簡単な説明

第1図は、従来のテスト回路内蔵型半導体集積回路を説明するための回路接続図で、N11はNチャンネルディプレッション型MOSトランジスタ、N12はNチャンネルエンハンスメント型MOSトランジスタ、Vccは電源を示す。

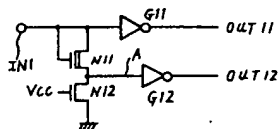
第2図は本発明の一実施例を説明するための回路接続図で、N21はNチャンネルディプレッション型MOSトランジスタ、N22はNチャンネルエンハンスメント型MOSトランジスタ、G22とG23はフリップフロップ型のラッチ回路を構成する否定論理和ゲートである。

第3図及び第4図はそれぞれ第1図及び第2図に示す回路の各部の電圧波形を示すタイミングチャートで、Tは、テストモードであることを示す。

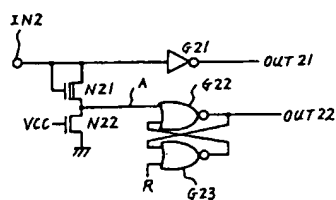
第5図は本発明の他の実施例を示す回路接続図でCMOS回路に適用した一例であり、N51はPチャンネルエンハンスメント型MOSトランジスタ、N52はNチャンネルエンハンスメント型MOSトランジスタ、G52、G53は否定論理和ゲート

トである。

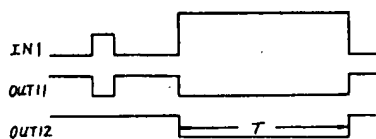
代理人 弁理士 内 原 晋



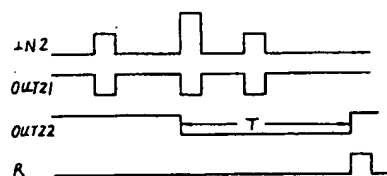
第1図



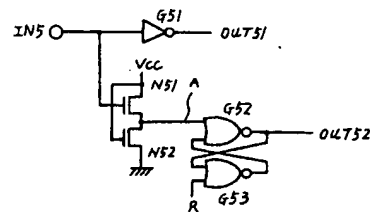
第2図



第3図



第4図



第5図